

Family list

1 family member for:

JP3095965

Derived from 1 application.

1 COMPLEMENTARY TYPE THIN-FILM TRANSISTOR

Publication info: **JP3095965 A** - 1991-04-22

Data supplied from the **esp@cenet** database - Worldwide

9848419

Basic Patent (No,Kind,Date): JP 3095965 A2 910422 <No. of Patents: 001>

COMPLEMENTARY TYPE THIN-FILM TRANSISTOR (English)

Patent Assignee: RICOH KK

Author (Inventor): MATSUMOTO FUMINAO

IPC: *H01L-027/092; H01L-029/784

Derwent WPI Acc No: G 91-160288

JAPIO Reference No: 150280E000005

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3095965	A2	910422	JP 89232043	A	890907 (BASIC)

Priority Data (No,Kind,Date):

JP 89232043 A 890907

?

03433065 **Image available**
COMPLEMENTARY TYPE THIN-FILM TRANSISTOR

PUB. NO.: **03-095965** [JP 3095965 A]
PUBLISHED: April 22, 1991 (19910422)
INVENTOR(s): MATSUMOTO FUMINAO
APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 01-232043 [JP 89232043]
FILED: September 07, 1989 (19890907)
INTL CLASS: [5] H01L-027/092; H01L-029/784
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 1090, Vol. 15, No. 280, Pg. 5, July
16, 1991 (19910716)

ABSTRACT

PURPOSE: To reduce a photolithography process once, enable an impurities diffusion layer to be of low resistance, and reduce variation of resistance by providing a gate insulation film on source and drain regions of only either of a P-channel type and an N-channel type thin-film transistors which are equipped with the source and drain regions.

CONSTITUTION: A P-type impurities region is covered with photolithography and phosphor is implanted into an N-type impurity region by ion implantation. After eliminating an oxide film 3 on source and drain regions of an N-channel transistor with a resistor 5 and a gate electrode 4 as a mask upon ion- implantation, the resist 5 on the entire surface is eliminated and boron ions are implanted at 40keV by ion implantation. When borons are laminated at this energy, boron ions penetrate a silicon layer at the source and drain regions of the N-channel transistor, so that an N-type transistor is formed in spite of implantation of boron.

⑫ 公開特許公報 (A)

平3-95965

⑬ Int.Cl.⁵
H 01 L 27/092
29/784

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月22日

7735-5F H 01 L 27/08 3 2 1 B
9056-5F 29/78 3 1 1 C

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 相補型薄膜トランジスタ

⑯ 特願 平1-232043

⑰ 出願 平1(1989)9月7日

⑱ 発明者 松本文直 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
⑳ 代理人 弁理士友松英爾

明細書

1. 発明の名称

相補型薄膜トランジスタ

2. 特許請求の範囲

1. P型半導体薄膜からなるソース、ドレイン領域を備えたPチャンネル型薄膜トランジスタ、N型半導体薄膜からなるソース、ドレイン領域を備えたNチャンネル型薄膜トランジスタのうち、どちらか一方のトランジスタのソース、ドレイン領域上ののみゲート絶縁膜を有することを特徴とする相補型薄膜トランジスタ。

3. 発明の詳細な説明

〔技術分野〕

本発明は、相補型トランジスタに関する。

〔従来技術〕

Pチャンネル型トランジスタとNチャンネル型トランジスタからなる相補型トランジスタを製造する方法としては従来よりフォトリソグラフィーと不純物拡散を用い、P型半導体領域、

N型半導体領域を形成する方法が用いられている。この方法を用いると、P型、N型領域を形成するために2回以上のフォトリソグラフィーが必要となる。第1図に従ってこの方法を説明する。フォトリソグラフィーによりP型半導体領域をレジスト等がカバーし、リン等のN型不純物をイオン注入等によって行う。レジスト等のカバーを除去したのち、同様な手法を用いて、N型半導体領域をカバーし、P型半導体領域を形成する。

フォトリソグラフィーの回数を減らす方法としては、コンベンセイトを用いた方法がある。これは第2図に示すように一方の不純物を他の一方の不純物より多く導入することによって、P型、N型の半導体領域を形成する。しかし、この方法は不純物拡散をコントロールすることが難しく、特に薄膜トランジスタの場合には非常に難しい。

〔目的〕

本発明は、簡単な構造と製法により、従来の

コンペニセイト法で得られたトランジスタより、低抵抗かつ抵抗のバラツキの小さい不純物拡散層をもつトランジスタを提供することを目的とするものである。

〔構成〕

本発明の相補型薄膜トランジスタは、P型半導体薄膜からなるソース、ドレイン領域を備えたPチャンネル型薄膜トランジスタ、N型半導体薄膜からなるソース、ドレイン領域を備えたNチャンネル型薄膜トランジスタのうち、どちらか一方のトランジスタのソース、ドレイン領域上にのみゲート絶縁膜を有することを特徴とするものである。

〔実施例〕

相補型薄膜トランジスタを1回のフォトリソグラフィーで、かつ、制御性よく不純物拡散を行う場合のトランジスタの構成およびその製造方法について第3図、第4図を用いて説明する。

絶縁基板1上にアモルファスシリコン1000Åを化学的気相成長法にて堆積し、フォトリソグ

トホールを開孔してアルミニウムによる電極配線を行う。ここでは、Nチャンネルトランジスタのソース、ドレイン領域上の酸化膜を除去する方法について述べたが、Pチャンネルトランジスタのソース、ドレイン領域上の酸化膜を除去する方法も同様である。この場合にはリンイオンが、Pチャンネルトランジスタのソース、ドレイン領域のシリコン層をつき抜けるため、P型半導体となる。

〔効果〕

本発明によりフォトリソグラフィー工程を一回減少させることができ、かつ本発明のトランジスタは従来のコンペニセイトプロセスで得られたものよりその不純物拡散層は低抵抗かつ抵抗のばらつきが小さい。

4. 図面の簡単な説明

第1図(a)～(c)は、2回のホトリソグラフィー工程を必要とするタイプの従来のトランジスタ製造工程を示し、第2図は、従来型コンペニセイト法によるトランジスタの不純物拡

ラフィー、エッティングを用いて島状に素子半導体層2の分離を行った。熱酸化によりアモルファスシリコンの表面に1000Åの酸化膜(ゲート絶縁膜3)を形成した。ゲート電極材としてリンドープポリコン3000Åを化学気相成長法で堆積したのちフォトリソグラフィー、エッティングを用いてゲート電極4を形成した(第3図a)。フォトリソグラフィーによってP型不純物領域をカバーし、イオン注入でN型不純物領域にリンを注入した(第3図b)。イオン注入時のレジスト5とゲート電極4をマスクとしてNチャンネルトランジスタのソース、ドレイン領域上の酸化膜3を除去したのち、全面のレジスト5を除去し、イオン注入でボロンイオンを40KeVで注入した(第3図c)。このエネルギーでボロンを注入すると、Nチャンネルトランジスタのソース、ドレイン領域ではボロンイオンがシリコン層をつき抜けるためボロン注入を行ったにもかかわらず、N型半導体となる(第4図)。その後活性化、層間絶縁膜の堆積後、コンタク

散の状態を示すモデルである。

第3図(a)～(c)は、本発明のトランジスタの製造工程例を示す。第4図は第3図に示す方法により得られた本発明トランジスタの不純物拡散の状態を示すモデルである。

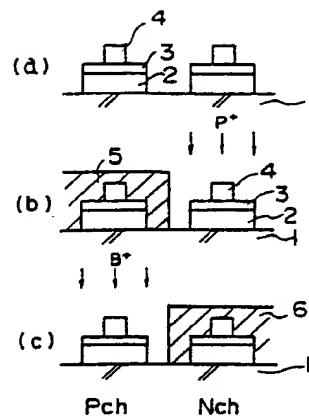
1…絶縁性基板 2…半導体層
3…ゲート絶縁膜 4…ゲート電極
5…レジスト 6…レジスト

特許出願人 株式会社リコー

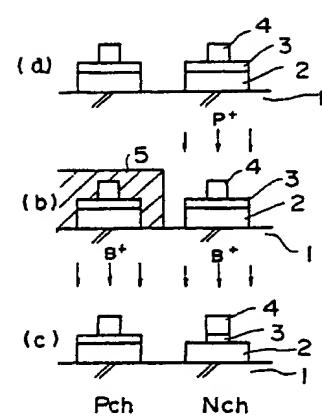
代理人弁理士 友松英爾



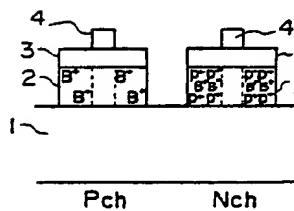
第 1 図



第 3 図



第 2 図



第 4 図

